

APPLICATION  
FOR  
UNITED STATES LETTERS PATENT

TITLE: SEMICONDUCTOR DEVICE AND DISPLAY DEVICE  
UTILIZING THE SAME

APPLICANT: HAJIME KIMURA

## 明細書

## 半導体装置およびそれを用いた表示装置

## 技術分野

5 本発明は、半導体装置の構成に関する。本発明は特に、ガラス、プラスチック等の絶縁体上に作製される薄膜トランジスタ(以後、TFTと表記する)を有するアクティブマトリクス型半導体装置の構成に関する。

## 背景技術

10 近年、エレクトロルミネッセンス(Electro Luminescence: EL)表示装置やFED(Field Emission Display)等、自発光型の表示装置の開発が活発化している。自発光型の表示装置の利点として、視認性が高く、液晶表示装置(LCD)等において必要なバックライトを必要としないために薄型化に適しているとともに、視野角にほとんど制限が無い等の点が挙げられる。

15 ここで、EL素子とは、電場を加えることで発生するルミネッセンスが得られる発光層を有する素子を指す。この発光層においては、一重項励起状態から基底状態に戻る際の発光(蛍光)と、三重項励起状態から基底状態に戻る際の発光(燐光)とがあるが、本発明の半導体装置は、上述したいずれの発光形態であっても良い。

20 EL素子は、一対の電極(陽極と陰極)間に発光層が挟まれる形で構成され、通常、積層構造をとっている。代表的には「陽極／正孔輸送層／発光層／電子輸送層／陰極」という積層構造が挙げられる。この構造は非常に発光効

率が高く、現在研究が進められているEL素子の多くはこの構造が採用されている。

また、これ以外にも、陽極と陰極との間に、「正孔注入層／正孔輸送層／発光層／電子輸送層」または「正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層」の順に積層する構造がある。本発明の半導体装置に用いるEL素子の構造としては、上述の構造のいずれを採用していても良い。また、発光層に対して蛍光性色素等をドーピングしても良い。

本明細書においては、EL素子において、陽極と陰極との間に設けられる全ての層を総称してEL層と呼ぶ。よって、上述の正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層は、全てEL層に含まれ、陽極、EL層、および陰極で構成される発光素子をEL素子と呼ぶ。

図5に、一般的な半導体装置における画素の構成を示す。なお、代表的な半導体装置として、EL表示装置を例とする。図5に示した画素は、ソース信号線501、ゲート信号線502、スイッチング用TFT503、駆動用TFT504、保持容量505、EL素子506、電源507、508を有している。

各部の接続関係について説明する。ここで、TFTはゲート、ソース、ドレインの3端子を有するが、ソース、ドレインに関しては、TFTの構造上、明確に区別が出来ない。よって、素子間の接続について説明する際は、ソース、ドレインのうち一方を第1の電極、他方を第2の電極と表記する。TFTのON、OFFについて、各端子の電位等について説明する際には、ソース、ドレイン等と表記する。

スイッチング用 TFT 503 のゲート電極は、ゲート信号線 502 に接続され、第 1 の電極はソース信号線 501 に接続され、第 2 の電極は駆動用 TFT 504 のゲート電極に接続されている。駆動用 TFT 504 の第 1 の電極は、電源 507 に接続され、第 2 の電極は EL 素子 506 の一方の電極に接続されている。EL 素子 506 の他方の電極は、電源 508 に接続されている。保持容量 505 は、駆動用 TFT 504 のゲート電極と第 1 の電極との間に接続され、駆動用 TFT 504 のゲート・ソース間電圧を保持する。

ゲート信号線 502 の電位が変化してスイッチング用 TFT 503 が ON すると、ソース信号線 501 に入力されている映像信号は、駆動用 TFT 10 504 のゲート電極へと入力される。入力された映像信号の電位に従って、駆動用 TFT 504 のゲート・ソース間電圧が決定し、駆動用 TFT 504 のソース・ドレイン間を流れる電流(以下、ドレイン電流と表記)が決定する。この電流は EL 素子 506 に供給されて発光する。

ところで、多結晶シリコン(ポリシリコン 以下 P-Si)で形成された TFT は電界効果移動度が高く、ON 電流が大きいため、半導体装置に用いるトランジスタとしてより適している。反面、ポリシリコンで形成された TFT は、結晶粒界における欠陥に起因して、その電気的特性にばらつきが生じやすいといった問題点を有している。

図 5 に示した画素において、画素を構成する TFT のしきい値や ON 電流等の特性が画素ごとにばらつくと、同じ映像信号を入力した場合にも、それに応じて TFT のドレイン電流の大きさが異なってくるため、EL 素子 506 の輝度がばらつく。

このような問題を解決するには、TFTの特性によらず、所望の電流をEL素子に供給するようにすれば良い。このような点から、TFTの特性に左右されずにEL素子に流れる電流の大きさを制御することが出来る、様々な種類の電流書き込み型の画素が提案されてきている。

- 5 電流書き込み型とは、ソース信号線より画素に入力される映像信号が、通常はアナログもしくはデジタルの電圧情報で入力されるのに対し、電流で入力される方式を言う。この方式によると、EL素子に供給したい電流値を外部で信号電流として設定し、画素においてはそれに等しい電流が流れるため、TFTの特性ばらつきの影響を受けないという利点がある。
- 10 以下に、代表的な電流書き込み型の画素を数例示し、それらの構成と動作および特徴について説明する。

- 図6に第1の構成例を示す（特許文献1参照）。図6の画素は、ソース信号線601、第1～第3のゲート信号線602～604、電流供給線605、TFT606～609、保持容量610、EL素子611、信号電流入力用電流源612を有する。

（特許文献1）

特表2002-517806号公報

- TFT606のゲート電極は、第1のゲート信号線602に接続され、第1の電極はソース信号線601に接続され、第2の電極は、TFT607の第1の電極、TFT608の第1の電極、およびTFT609の第1の電極に接続されている。TFT607のゲート電極は、第2のゲート信号線603に接続され、第2の電極はTFT608のゲート電極に接続されている。

TFT608の第2の電極は、電流供給線605に接続されている。TFT609のゲート電極は、第3のゲート信号線604に接続され、第2の電極はEL素子611の陽極に接続されている。保持容量610はTFT608のゲート電極と入力電極との間に接続され、TFT608のゲート・ソース間電圧を保持する。電流供給線605およびEL素子611の陰極には、それぞれ所定の電位が入力され、互いに電位差を有する。

図7を用いて、信号電流の書き込みから発光までの動作について説明する。図中、各部を示す図番は、図6に準ずる。図7(A)～(C)は、電流の流れを模式的に示している。図7(D)は、信号電流の書き込み時における各経路を流れる電流の関係を示しており、図7(E)は、同じく信号電流の書き込み時に、保持容量610に蓄積される電圧、つまりTFT608のゲート・ソース間電圧について示している。

まず、第1のゲート信号線602および第2のゲート信号線603にパルスが入力され、TFT606、607がONする。このとき、ソース信号線を流れる電流、すなわち信号電流を $I_{data}$ とする。

ソース信号線には、電流 $I_{data}$ が流れているので、図7(A)に示すように、画素内では、電流の経路は $I_1$ と $I_2$ とに分かれて流れる。これらの関係を図7(D)に示している。なお、 $I_{data} = I_1 + I_2$ であることは言うまでもない。

TFT606がONした瞬間には、まだ保持容量610には電荷が保持されていないため、TFT608はOFFしている。よって、 $I_1 = 0$ となり、 $I_{data} = I_2$ となる。すなわちこの間は、保持容量610における電荷の蓄積による電流のみが流れている。

その後、徐々に保持容量 610 に電荷が蓄積され、両電極間に電位差が生じ始める(図 7(E))。両電極の電位差が  $V_{th}$  となると(図 7(E) A 点)、TFT608 が ON して、 $I_2$  が生ずる。先に述べたように、 $I_{data} = I_1 + I_2$  であるので、 $I_1$  は次第に減少するが、依然電流は流れしており、さらに保持容量には電荷の蓄積が行われる。

保持容量 610においては、その両電極の電位差、つまり TFT608 のゲート・ソース間電圧が所望の電圧、つまり TFT608 が  $I_{data}$  の電流を流すことが出来るだけの電圧(VGS)になるまで電荷の蓄積が続く。やがて電荷の蓄積が終了する(図 7(E) B 点)と、電流  $I_2$  は流れなくなり、さらに TFT608 はそのときの VGS に見合った電流が流れ、 $I_{data} = I_2$  となる(図 7(B))。以上で信号の書き込み動作が完了する。最後に第 1 のゲート信号線 602 および第 2 のゲート信号線 603 の選択が終了し、TFT606、607 が OFF する。

15 このように、保持容量に電荷を蓄積させ、TFT608 が  $I_{data}$  の電流を流すことが出来るようにする動作を、設定動作と呼ぶことにする。

続いて、発光動作に移る。第 3 のゲート信号線 604 にパルスが入力され、TFT609 が ON する。保持容量 610 には、先ほど書き込んだ VGS が保持されているため、TFT608 は ON しており、電流供給線 605 から、 $I_{data}$  の電流が流れる。これにより EL 素子 611 が発光する。このとき 20 、TFT608 が飽和領域において動作するようにしておけば、TFT608 のソース・ドレイン間電圧が変化したとしても、 $I_{data}$  は変わりなく流れることが出来る。

このように、設定動作によって設定した電流を出力する動作を、出力動作と呼ぶことにする。

図17に第2の構成例を示す（特許文献2参照）。図17の画素は、ソース信号線1701、第1～第3のゲート信号線1702～1704、電流供給線1705、TFT1706～1709、保持容量1710、EL素子1711、信号電流入力用電流源1712を有する。

（特許文献2）

#### 特表2002-514320号公報

TFT1706のゲート電極は、第1のゲート信号線1702に接続され  
 10 、第1の電極はソース信号線1701に接続され、第2の電極はTFT1708の第1の電極と、TFT1709の第1の電極とに接続されている。TFT1708のゲート電極は、第2のゲート信号線1703に接続され、第2の電極は電流供給線1705に接続されている。TFT1707のゲート電極は、第3のゲート信号線1704に接続され、第1の電極は、TFT1709のゲート電極に接続され、第2の電極はTFT1709の第2の電極  
 15 と、EL素子1711の一方の電極とに接続されている。保持容量1710は、TFT1709のゲート電極と第1の電極との間に接続され、TFT1709のゲート・ソース間電圧を保持する。電流供給線1705およびEL素子1711の他方の電極には、それぞれ所定の電位が入力され、互いに電  
 20 位差を有する。

図18を用いて、信号電流の書き込みから発光までの動作について説明する。図中、各部を示す図番は、図17に準ずる。図18(A)～(C)は、電流

の流れを模式的に表している。図18(D)は、信号電流の書き込み時における各経路を流れる電流の関係を示しており、図18(E)は、同じく信号電流の書き込み時に、保持容量1710に蓄積される電圧、つまりTFT1709のゲート・ソース間電圧について示している。

5 まず、第1のゲート信号線1702および第3のゲート信号線1704にパルスが入力され、TFT1706、1707がONする。このとき、ソース信号線1701を流れる電流、すなわち信号電流を $I_{data}$ とする。

ソース信号線1701を流れる電流 $I_{data}$ は、図18(A)に示すように、画素内では、電流の経路は $I_1$ と $I_2$ とに分かれて流れる。これらの関係を図10 18(D)に示している。なお、 $I_{data} = I_1 + I_2$ であることは言うまでもない。

TFT1706がONした瞬間には、まだ保持容量1710には電荷が保持されていないため、TFT1709はOFFしている。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。すなわちこの間は、保持容量1710における電荷の蓄積による電流のみが流れている。

15 その後、徐々に保持容量1710に電荷が蓄積され、両電極間に電位差が生じ始める(図18(E))。両電極の電位差がVthとなると(図18(E)A点)、TFT1709がONして、 $I_2$ が生ずる。先に述べたように、 $I_{data} = I_1 + I_2$ であるので、 $I_1$ は次第に減少するが、依然電流は流れしており、さらに保持容量には電荷の蓄積が行われる。

20 保持容量1710においては、その両電極の電位差、つまりTFT1709のゲート・ソース間電圧が所望の電圧、つまりTFT1709が $I_{data}$ の電流を流すことが出来るだけの電圧(VGS)になるまで電荷の蓄積が続く。や

がて電荷の蓄積が終了する(図18(E) B点)と、電流  $I_s$  は流れなくなり、さらに TFT1709 はそのときの VGS に見合った電流が流れ、  $I_{data} = I_s$  となる(図18(B))。以上で信号の書き込み動作が完了する。最後に第1のゲート信号線 1702 および第3のゲート信号線 1704 の選択が終了し、  
5 TFT1706、1707 が OFF する。このようにして、設定動作が完了する。

そして次に、出力動作に入る。つまり、保持容量 1710 には、先ほど書き込んだ VGS が保持されているため、TFT1709 は ON しており、電流供給線 1705 から、  $I_{data}$  の電流が流れる。これにより EL 素子 1711  
10 が発光する。このとき、TFT1709 が飽和領域において動作するようにしておけば、TFT1709 のソース・ドレイン間電圧が多少変化したとしても、  $I_{data}$  は変わりなく流れることが出来る。

図19に第3の構成例を示す(特許文献1参照)。図19の画素は、ソース信号線 1901、第1および第2のゲート信号線 1902、1903、電流供給線 1704、TFT1905～1908、保持容量 1909、EL 素子 1910、信号電流入力用電流源 1911 を有する。  
15

(特許文献1)

国際公開第 01/06484号パンフレット

TFT1905 のゲート電極は、第1のゲート信号線 1902 に接続され  
20 、第1の電極はソース信号線 1901 に接続され、第2の電極は TFT1906 の第1の電極と、TFT1907 の第1の電極とに接続されている。 TFT1906 のゲート電極は、第2のゲート信号線 1903 に接続され、第

2の電極はTFT1907のゲート電極と、TFT1908のゲート電極とに接続されている。TFT1907の第2の電極と1908の第1の電極とはともに電流供給線1904に接続され、TFT1908の第2の電極はEL素子1910の陽極に接続されている。保持容量1909は、TFT1907、1908のゲート電極と、TFT1907の第2の電極およびTFT1908の第1の電極との間に接続され、TFT1907、1908のゲート・ソース間電圧を保持する。電流供給線1904およびEL素子1910の陰極には、それぞれ所定の電位が入力され、互いに電位差を有する。

図20を用いて、信号電流の書き込みから発光までの動作について説明する。図中、各部を示す図番は、図20に準ずる。図20(A)～(C)は、電流の流れを模式的に表している。図20(D)は、信号電流の書き込み時における各経路を流れる電流の関係を示しており、図20(E)は、同じく信号電流の書き込み時に、保持容量1909に蓄積される電圧、つまりTFT1907、1908のゲート・ソース間電圧について示している。

まず、第1のゲート信号線1902および第2のゲート信号線1903にパルスが入力され、TFT1905、1906がONする。このとき、ソース信号線1901を流れる電流、すなわち信号電流を $I_{data}$ とする。

ソース信号線1901を流れる電流 $I_{data}$ は、図20(A)に示すように、画素内では、電流の経路は $I_1$ と $I_2$ とに分かれて流れる。これらの関係を図20(D)に示している。なお、 $I_{data} = I_1 + I_2$ であることは言うまでもない。

TFT1905がONした瞬間には、まだ保持容量1909には電荷が保持されていないため、TFT1707、1708はOFFしている。よって

、  $I_2 = 0$  となり、  $I_{data} = I_1$  となる。すなわちこの間は、保持容量 1709 における電荷の蓄積による電流のみが流れている。

その後、徐々に保持容量 1909 に電荷が蓄積され、両電極間に電位差が生じ始める(図 20 (E))。両電極の電位差が  $V_{th}$  となると(図 20 (E) 5 A点)、TFT 1907 がONして、 $I_2$  が生ずる。先に述べたように、 $I_{data} = I_1 + I_2$  であるので、 $I_1$  は次第に減少するが、依然電流は流れしており、さらに保持容量には電荷の蓄積が行われる。

ここで、TFT 1907 がONする一方、TFT 1908 もONし、電流が流れ始める。ただし、この電流は、図 20 (A) に示すように独立したバス 10 で流れるため、 $I_{data}$  の値は変わらず、 $I_1$ 、 $I_2$  にも影響しない。

保持容量 1909においては、その両電極の電位差、つまり TFT 1907、1908 のゲート・ソース間電圧が所望の電圧、つまり TFT 1907 が  $I_{data}$  の電流を流すことが出来るだけの電圧( $V_{GS}$ )になるまで電荷の蓄積が続く。やがて電荷の蓄積が終了する(図 18 (E) B点)と、電流  $I_2$  は流れなくなり、さらに TFT 1907 はそのときの  $V_{GS}$  に見合った電流が流れ、 $I_{data} = I_2$  となる(図 18 (B))。以上で信号の書き込み動作が完了する。

最後に第 1 のゲート信号線 1902 および第 2 のゲート信号線 1903 の選択が終了し、TFT 1905、1906 がOFFする。

今、保持容量 1909 には、TFT 1907 に  $I_{data}$  の電流を流すこと 20 とが出来るだけの電圧をゲート・ソース間に与えるだけの電荷が保持されている。TFT 1907、1908 はカレントミラーを形成しているので、その電圧が TFT 1908 にも与えられ、TFT 1908 を電流が流れる。図

20においては、この電流を  $I_{EL}$  で表している。

TFT1907とTFT1908のゲート長およびチャネル幅が等しければ、 $I_{EL} = I_{data}$  となる。つまりカレントミラーを構成する TFT1907、1908 のサイズの決定の仕方によって、信号電流  $I_{data}$  と、EL素子を流れ 5 る電流  $I_{EL}$  との関係を決定することが出来る。

このように、第3の構成例の場合は、設定動作を行いながら、同時に、出力動作も行うことが出来る。

以上に一例を示した、電流書き込み型のメリットとして、TFT608の特性等にばらつきがあった場合であっても、保持容量610には、電流  $I_{data}$  10 を流すのに必要なゲート・ソース間電圧が保持されるため、所望の電流を正確にEL素子に供給することが出来、よってTFTの特性ばらつきに起因した輝度ばらつきを抑えることが可能になる点がある。

#### 発明の開示

##### 15 (発明が解決しようとする課題)

ここで、各構成の特徴を表1に示す。

(表1)

	第1の構成(図6)	第2の構成(図17)	第3の構成(図19)
映像信号電流 $I_{data}$ と EL素子を流れる電流 $I_{EL}$ との関係	$I_{data} = I_{EL}$	$I_{data} = I_{EL}$	$I_{data} \neq I_{EL}$
電流電圧変換用TFTと 駆動用TFTとの関係	変換用TFT : 608 → 同一 駆動用TFT : 608	変換用TFT : 1709 → 同一 駆動用TFT : 1709	変換用TFT : 1907 駆動用TFT : 1908
書き込み時の 映像信号電流	EL素子に流れない	EL素子に流れる	EL素子に流れない
ゲート信号線の本数	3	3	2

まず、信号電流  $I_{data}$  と、EL素子を流れる電流  $I_{EL}$  の関係について考える。

アナログ階調方式の半導体装置においては、階調が電流値で表されるため、

- 5 高階調のときは大きい電流が流れ、低階調のときは小さい電流が流れる。つまり、階調によって、信号電流を書き込む信号電流の大きさが異なることになる。その場合、低階調の信号を画素に書き込む場合には、高階調の信号を画素に書き込む場合よりも長い時間を要することになってしまう。また、低階調の信号は、電流が小さいため、ノイズの影響を極めて受けやすくなってしまう

10 しまう。

続いて、電流-電圧変換用TFTと駆動用TFTとの関係について考える。ここで、電流-電圧変換用TFTとは、ソース信号線から入力される信号電流を、電圧信号に変換するのに用いているTFTであり、駆動用TFTとは、保持容量に保持された電圧に従って電流を流すためのTFTである。表

- 15 1には、各構成における電流-電圧変換用TFT(変換用TFTと表記)と、駆動用TFTの図番を示している。

変換用TFTと、駆動用TFTとが共通であるとはすなわち、書き込み動作と発光動作を共通のTFTが担当するということである。よって、TFT

のばらつきの影響が少ない。一方、第3の構成のように、変換用 TFT と駆動用 TFT とが別である場合、画素内の特性ばらつきの影響を受けることになってしまう。

- 続いて、信号電流の書き込み時の経路について考える。第1の構成および
- 5 第3の構成においては、信号電流は、電流源から電流供給線、あるいは電流供給線から電流源へと流れる。一方、第2の構成によると、信号電流の書き込み時に、信号電流は電流源から、EL 素子を通って流れている。このような構成においては、低階調の信号が書き込まれた後に高階調の信号を書き込む場合、あるいはその逆の動作において、EL 素子自体が負荷となるため、
- 10 書き込み時間を長くする必要が生ずる。

本発明は、上述の様々な問題点を解決することの出来る半導体装置を提供するものである。

(課題を解決するための手段)

- 15 本発明は、第1のトランジスタと第2のトランジスタとスイッチとを有する半導体装置であって、前記第1のトランジスタは、ゲート端子と第1の端子と第2の端子とを有し、前記第2のトランジスタは、ゲート端子と第1の端子と第2の端子とを有し、前記第1のトランジスタのゲート端子と、前記第1のトランジスタの第1の端子とは、前記スイッチを介して接続されており、前記第1のトランジスタの第2の端子は、前記第2のトランジスタの第
- 20 1の端子と接続されており、前記第1のトランジスタのゲート端子は、前記第2のトランジスタのゲート端子と接続されており、前記第1のトランジス

タの第1の端子と前記第1のトランジスタの第2の端子との間、または、前記第2のトランジスタの第1の端子と前記第2のトランジスタの第2の端子との間を、短絡状態にする手段を有することを特徴とする半導体装置が提供される。

5 また、本発明は、第1のトランジスタと第2のトランジスタと第1のスイ  
ッチと第2のスイッチとを有する半導体装置であって、前記第1のトランジ  
スタは、ゲート端子と第1の端子と第2の端子とを有し、前記第2のトラン  
ジスタは、ゲート端子と第1の端子と第2の端子とを有し、前記第1のトラン  
ジスタのゲート端子と、前記第1のトランジスタの第1の端子とは、前記  
10 第1のスイッチを介して接続されており、前記第1のトランジスタの第2の  
端子は、前記第2のトランジスタの第1の端子と接続されており、前記第1  
のトランジスタのゲート端子は、前記第2のトランジスタのゲート端子と接  
続されており、前記第1のトランジスタの第1の端子と前記第1のトランジ  
スタの第2の端子とは、または、前記第2のトランジスタの第1の端子と前  
記第2のトランジスタの第2の端子とは、前記第2のスイッチを介して接続  
15 されていることを特徴とする半導体装置が提供される。

また、本発明は、第1のトランジスタと第2のトランジスタと第1のスイッチと第2のスイッチと第3のスイッチと配線とを有する半導体装置であって、前記第1のトランジスタは、ゲート端子と第1の端子と第2の端子とを有し、前記第2のトランジスタは、ゲート端子と第1の端子と第2の端子とを有し、前記第1のトランジスタのゲート端子と、前記第1のトランジスタの第1の端子とは、前記第1のスイッチを介して接続されており、前記第

1 のトランジスタの第 2 の端子は、前記第 2 のトランジスタの第 1 の端子と接続されており、前記第 1 のトランジスタのゲート端子は、前記第 2 のトランジスタのゲート端子と第 2 のスイッチを介して接続されており、前記第 2 のトランジスタのゲート端子は、前記配線と第 3 のスイッチを介して接続され  
5 れていることを特徴とする半導体装置が提供される。

また、本発明は、上記構成において、前記第 1 のトランジスタと前記第 2 のトランジスタとは、同じ導電型を有することを特徴とする半導体装置が提供される。

また、本発明は、上記構成において、容量素子を有しており、前記第 1 の  
10 トランジスタのゲート端子と容量素子の一方の端子と接続されていることを特徴とする半導体装置が提供される。

また、本発明は、上記構成において、前記第 1 のトランジスタのゲート端子は、前記容量素子の一方の端子と接続されており、且つ前記容量素子の他方の端子が、前記第 2 のトランジスタの第 2 の端子と接続されていることを  
15 特徴とする半導体装置が提供される。

また、本発明は、上記構成において、前記第 1 のトランジスタの第 1 の端子、または、前記第 2 のトランジスタの第 2 の端子は、電流源回路と接続されていることを特徴とする半導体装置が提供される。

また、本発明は、上記構成において、前記第 1 のトランジスタの第 1 の端子、または、前記第 2 のトランジスタの第 2 の端子は、表示素子と接続されていることを特徴とする半導体装置が提供される。

つまり、本発明では、直列に接続された 2 つのトランジスタ（第 1 のトラ

ンジスタと第2のトランジスタ)において、設定動作の時には、そのうちの

1つのトランジスタ(例えば第2のトランジスタ)のソース・ドレイン間の

電圧が非常に小さくなり、もう1つのトランジスタ(例えば第1のトランジ

スタ)に対して、設定動作を行うようになる。そして、出力動作の時には、

- 5 2つのトランジスタ(第1のトランジスタと第2のトランジスタ)がマルチ  
ゲートのトランジスタとして動作するため、出力動作の時の電流値を小さく  
できる。逆にいうと、設定動作の時の電流を大きくすることが出来る。した  
がって、配線などに寄生する交差容量や配線抵抗の影響を受けにくくして、  
すばやく、設定動作が行うことが出来る。

- 10 また、出力動作のときの電流を大きくできるので、ノイズなどによる微小  
電流の影響を受けにくくできる。

また、設定動作の時と、出力動作の時とで、一部に共通のトランジスタを  
用いるため、隣接間のトランジスタの特性ばらつきの影響を少なくすること  
ができる。

- 15 なお、本発明におけるトランジスタは、どのような材料、手段、製造方法  
によりできたトランジスタでもよいし、どうのようなタイプのトランジスタ  
でもよい。例えば、薄膜トランジスタ(TFT)でもよい。TFTのなかで  
も、半導体層が非晶質(アモルファス)のものでもよいし、多結晶(ポリク  
リスタル)でも、単結晶のものでもよい。その他のトランジスタとして、单

- 20 結晶基板において作られたトランジスタでもよいし、SOI基板において作  
られたトランジスタでもよいし、プラスチック基板の上に形成されたトラン  
ジスタでもよいし、ガラス基板上に形成されたトランジスタでもよい。その

他にも、有機物やカーボンナノチューブで形成されたトランジスタでもよい。また、MOS型トランジスタでもよいし、バイポーラ型トランジスタでもよい。

なお、本発明において、接続されているとは、電気的に接続されていることと同義である。したがって、間に、別の素子やスイッチなどが配置されていてもよい。

#### (発明の効果)

本発明では、直列に接続された2つのトランジスタにおいて、設定動作の時には、そのうちの1つのトランジスタのソース・ドレイン間の電圧が非常に小さくなり、もう1つのトランジスタに対して、設定動作を行うようになる。そして、出力動作の時には、2つのトランジスタがマルチゲートのトランジスタとして動作するため、出力動作の時の電流値を小さくできる。逆にいうと、設定動作の時の電流を大きくすることが出来る。したがって、配線などに寄生する交差容量や配線抵抗の影響を受けにくくして、すばやく、設定動作が行うことが出来る。

また、出力動作のときの電流を大きくできるので、ノイズなどによる微小電流の影響を受けにくくできる。

また、設定動作の時と、出力動作の時とで、一部に共通のトランジスタを用いるため、隣接間のトランジスタの特性ばらつきの影響を少なくすることができる。

### 図面の簡単な説明

- 図 1 は本発明の電流源回路の構成を説明する図である。
- 図 2 は本発明の電流源回路の動作を説明する図である。
- 図 3 は本発明の電流源回路の動作を説明する図である。
- 5 図 4 は本発明の電流源回路の構成を説明する図である。
- 図 5 は従来の画素の構成を説明する図である。
- 図 6 は従来の画素の構成を説明する図である。
- 図 7 は従来の画素の動作を説明する図である。
- 図 8 は本発明の電流源回路の接続状態を説明する図である。
- 10 図 9 は本発明の電流源回路の接続状態を説明する図である。
- 図 10 は本発明の電流源回路の構成を説明する図である。
- 図 11 は本発明の電流源回路の構成を説明する図である。
- 図 12 は本発明の電流源回路の構成を説明する図である。
- 図 13 は本発明の電流源回路の構成を説明する図である。
- 15 図 14 は本発明の電流源回路の構成を説明する図である。
- 図 15 は本発明の電流源回路の動作を説明する図である。
- 図 16 は本発明の電流源回路の動作を説明する図である。
- 図 17 は従来の画素の構成を説明する図である。
- 図 18 は従来の画素の動作を説明する図である。
- 20 図 19 は従来の画素の構成を説明する図である。
- 図 20 は従来の画素の動作を説明する図である。
- 図 21 は本発明の電流源回路の接続状態を説明する図である。

- 図 2 2 は本発明の電流源回路の接続状態を説明する図である。
- 図 2 3 は本発明の電流源回路の構成を説明する図である。
- 図 2 4 は本発明の電流源回路の動作を説明する図である。
- 図 2 5 は本発明の電流源回路の動作を説明する図である。
- 5 図 2 6 は本発明の電流源回路の構成を説明する図である。
- 図 2 7 は本発明の電流源回路の動作を説明する図である。
- 図 2 8 は本発明の電流源回路の動作を説明する図である。
- 図 2 9 は本発明の電流源回路の接続状態を説明する図である。
- 図 3 0 は本発明の電流源回路の接続状態を説明する図である。
- 10 図 3 1 は本発明の電流源回路の構成を説明する図である。
- 図 3 2 は本発明の電流源回路の構成を説明する図である。
- 図 3 3 は本発明の電流源回路の構成を説明する図である。
- 図 3 4 は本発明の電流源回路の接続状態を説明する図である。
- 図 3 5 は本発明の電流源回路の接続状態を説明する図である。
- 15 図 3 6 は本発明の電流源回路の構成を説明する図である。
- 図 3 7 は本発明の電流源回路の動作を説明する図である。
- 図 3 8 は本発明の電流源回路の動作を説明する図である。
- 図 3 9 は本発明の電流源回路の接続状態を説明する図である。
- 図 4 0 は本発明の電流源回路の接続状態を説明する図である。
- 20 図 4 1 は本発明の表示装置の構成を示す図である。
- 図 4 2 は本発明の表示装置の構成を示す図である。
- 図 4 3 は本発明の電流源回路の構成を説明する図である。

図44は本発明の電流源回路の構成を説明する図である。

図45は本発明の画素の構成を説明する図である。

図46は本発明の画素の構成を説明する図である。

図47は本発明の画素の構成を説明する図である。

5 図48は本発明の画素の構成を説明する図である。

図49は本発明の画素の構成を説明する図である。

図50は本発明の画素の構成を説明する図である。

図51は本発明の画素の構成を説明する図である。

図52は本発明が適用される電子機器の図である。

10

### 発明を実施するための最良の形態

#### (実施の形態1)

本発明は、EL素子を有する画素だけでなく、電流源を有する様々なアノログ回路に適用することが出来る。そこでまず、本実施の形態では、本発明  
15 の基本原理について述べる。

まず、図1に、本発明の基本原理に基づく構成について示す。常に電流源  
(または、その一部) として動作する電流源トランジスタ101と、状態によ  
って、動作が異なる切り替えトランジスタ102とがあり、電流源トランジス  
タ101と切り替えトランジスタ102と配線110とは、直列に接続されている。  
20 電流源トランジスタ101のゲート端子には、容量素子104の一方の端子が接続  
されている。容量素子104の他方の端子は、配線111に接続されている。その  
ため、電流源トランジスタ101のゲート端子の電位を保持することが出来る。

また、電流源トランジスタ101のゲート端子とドレイン端子とは、スイッチ105を介して接続されており、スイッチ105のオンオフによって、容量素子104の電荷の保持を制御できる。電流源トランジスタ101と配線112とは、基本電流源108とスイッチ106を介して接続されている。また、それと並列に、電流5 源トランジスタ101と配線113とは、負荷109とスイッチ107を介して接続されている。なお、配線110と配線111は別々の配線で構成されているが、電気的に接続されていてもよい。なお、配線112と配線113は別々の配線で構成されているが、電気的に接続されていてもよい。

また、切り替えトランジスタ102には、状態によって、電流源として動作10 する場合と、ソース・ドレイン間で電流が流れないように動作する場合（または、スイッチとして動作する場合）とで、切り替えを行うことが出来る手段が接続されている。ここで、切り替えトランジスタ102が、電流源（の一部）として動作する場合を、電流源動作と呼ぶことにする。また、切り替えトランジスタ102が、ソース・ドレイン間で電流が流れないような状態で動作15 する場合（または、スイッチとして動作する場合）、または、ソース・ドレイン間の電圧が小さい状態で動作する場合を、短絡動作と呼ぶことにする。

このように、切り替えトランジスタ102に関して、電流源動作や短絡動作を実現するために、様々な構成を用いることが出来る。

20 そこで、本実施の形態では、一例として、図1に構成を示す。図1では、切り替えトランジスタ102のソース端子とドレイン端子とを、スイッチ103を介して、接続できるようにしている。そして、切り替えトランジスタ102のゲ

ート端子は、電流源トランジスタ101のゲート端子と接続されている。スイッチ103を用いて、切り替えトランジスタ102の動作を、電流源動作か短絡動作かに切り替えることが出来る。

そこで、図1の動作について述べる。まず、図2に示すように、スイッチ103  
 5 、105、106をオンにし、スイッチ107をオフにする。その時の電流の経路を  
 破線矢印201で示す。すると、切り替えトランジスタ102のソース端子とドレ  
 イン端子とは、概ね同じ電位となる。つまり、切り替えトランジスタ102の  
 ソース・ドレン間では、ほとんど電流が流れず、スイッチ103の方に電流  
 が流れるようになる。そのため、基本電流源108に流れる電流 $I_b$ が、容量素  
 10 子104や電流源トランジスタ101に流れる。そして、電流源トランジスタ101  
 のソース・ドレン間に流れる電流と、基本電流源108に流れる電流 $I_b$ とが  
 等しくなると、容量素子104には、電流が流れなくなる。つまり、定常状態  
 になる。そしてそのときのゲート端子の電位が、容量素子104に蓄積される。  
 つまり、電流源トランジスタ101のソース・ドレン間に電流 $I_b$ を流すのに  
 15 必要な電圧が、ゲート端子に加わるようになる。以上の動作は、設定動作に  
 相当する。そしてその時、切り替えトランジスタ102は、短絡動作を行って  
 いることになる。

このように、容量素子104に電流が流れなくなり、定常状態になれば、設  
 定動作は完了したと考えることが出来る。

20 次に、図3に示すように、スイッチ103、105、106をオフにし、スイッチ107  
 をオンにする。その時の電流の経路を破線矢印301で示す。すると、スイッ  
 チ103はオフになっているので、切り替えトランジスタ102のソース・ドレイ

ン間に電流が流れることになる。一方、容量素子104には、設定動作において蓄積した電荷が保存されており、それが、電流源トランジスタ101と切り替えトランジスタ102のゲート端子に、加わる。そして、電流源トランジスタ101と切り替えトランジスタ102のゲート端子は、互いに接続されている。

- 5 以上のことから、電流源トランジスタ101と切り替えトランジスタ102は、マルチゲートのトランジスタとして動作することになる。したがって、電流源トランジスタ101と切り替えトランジスタ102を1つのトランジスタであると考えると、そのトランジスタのゲート長Lは、電流源トランジスタ101のLよりも大きくなる。一般に、トランジスタのゲート長Lが大きくなると、
- 10 そこを流れる電流は小さくなる。したがって、負荷109の方に流れる電流は、Ibよりも小さくなる。以上の動作は、出力動作に相当する。そしてその時、切り替えトランジスタ102は、電流源動作を行っていることになる。

- このように、スイッチ103のオンオフを制御することにより、出力動作において負荷109などに流れる電流よりも、設定動作において流れる電流Ibの方を、大きくすることが出来る。したがって、設定動作において流れる電流を大きくすることができるため、すばやく、定常状態にすることが出来る。つまり、電流が流れる配線に寄生している負荷（配線抵抗や交差容量など）による影響を少なくし、設定動作をすばやく行うことが出来る。
- 15

- また、設定動作において流れる電流Ibが大きいため、ノイズなどの影響が
- 20 小さくなる。つまり、多少、ノイズなどによる微小電流が流れてしまっても、Ibの値が大きいため、ほとんどノイズなどの影響を受けない。

したがって、例えば、負荷109がEL素子で有る場合、EL素子を低階調

で発光させたい場合の信号書き込み時にも、EL素子に流す電流よりも大きな電流Ibを用いて書き込むことが出来る。よって、信号電流がノイズに埋もれる等のトラブルを回避し、かつ迅速な書き込み動作が可能となる。

- なお、負荷109は、何でもよい。抵抗などのような素子でも、トランジス
- 5 タでも、EL素子でも、トランジスタと容量とスイッチとで構成された電流源回路でもよい。信号線や信号線とそれに接続された画素でもよい。その画素には、EL素子やFEDで用いる素子など、どのような表示素子を含んでいてもよい。

- なお、容量素子104は、電流源トランジスタ101や切り替えトランジスタ102
- 10 などのゲート容量によって、代用することが出来る。その場合は、容量素子104を省略できる。

- なお、配線110と配線111とは、高電位側電源Vddが供給されているが、これに限定されない。各々の配線の電位が同じでもよいし、異なっていても良い。配線111は、容量素子104の電荷を保存できるようになっていればよい。
- 15 また、配線110または配線111は、常に同じ電位のまま保たれている必要はない。設定動作と出力動作とで、電位が異なっていても、正常に動作する場合は、問題ない。

- なお、配線113と配線112とは、低電位側電源Vssが供給されているが、これに限定されない。各々の配線の電位が同じでもよいし、異なっていても良い。また、配線113または配線112は、常に同じ電位のまま保たれている必要はない。設定動作と出力動作とで、電位が異なっていても、正常に動作する場合は、問題ない。

なお、容量素子104は、電流源トランジスタ101のゲート端子と配線111とに接続されているが、これに限定されない。最も望ましいのは、電流源トランジスタ101のゲート端子とソース端子に接続されていることが望ましい。

なぜなら、トランジスタの動作は、ゲート・ソース間電圧によって決定されるため、ゲート端子とソース端子の間で、電圧を保持していると、他の影響を受けにくいからである。もし、容量素子104が電流源トランジスタ101のゲート端子と別の配線との間に配置されていた場合、その別の配線における電圧降下量によって、電流源トランジスタ101のゲート端子の電位が変ってしまう可能性がある。

10 なお、出力動作の時に、電流源トランジスタ101と切り替えトランジスタ102とは、マルチゲートのトランジスタとして動作するため、これらのトランジスタは同極性（同じ導電型を有する）とすることが望ましい。

なお、出力動作の時に、電流源トランジスタ101と切り替えトランジスタ102とは、マルチゲートのトランジスタとして動作するが、各々のトランジスタのゲート幅Wは、同じであってもよいし、異なっていても良い。同様に、ゲート長Lも、同じであってもよいし、異なっていても良い。ただし、ゲート幅Wは、通常のマルチゲートのトランジスタと同じだと考えてよいため、同じ大きさであることが望ましい。ゲート長Lは、切り替えトランジスタ102の方を大きくすれば、負荷109に流れる電流が、より小さくなる。よって、その状況に合わせて、設計すればよい。

なお、103、105、106、107などのようなスイッチは、電気的スイッチでも機械的なスイッチでも何でも良い。電流の流れを制御できるものなら、何で

- も良い。トランジスタでもよいし、ダイオードでもよいし、それらを組み合  
わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場  
合、そのトランジスタは、単なるスイッチとして動作するため、トランジス  
タの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望  
 5 ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ま  
しい。オフ電流が少ないトランジスタとしては、LDD領域を設けているも  
の等がある。また、スイッチとして動作させるトランジスタのソース端子の  
電位が、低電位側電源（Vss、Vgnd、0Vなど）に近い状態で動作する場合は  
nチャネル型を、反対に、ソース端子の電位が、高電位側電源（Vddなど）  
 10 に近い状態で動作する場合はpチャネル型を用いることが望ましい。なぜな  
ら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとして、  
動作しやすいからである。なお、nチャネル型とpチャネル型の両方を用い  
て、CMOS型のスイッチにしてもよい。  
 なお、本発明の回路として、図1に示したが、構成はこれに限定されない。  
 15 スイッチの配置や数、各トランジスタの極性、電流源トランジスタ101の数  
や配置、切り替えトランジスタ102の数や配置、各配線の電位、電流の流れ  
る向きなどを変更することにより、様々な回路を用いて構成することが出来  
る。また、各々の変更を組み合わせることにより、様々な回路を用いて構成  
することが出来る。  
 20 例えば、103、105、106、107などのようなスイッチは、対象とする電流の  
オンオフを制御できるなら、どこに配置しても良い。具体的には、スイッチ  
107は、負荷109に流れる電流を制御するため、それと直列に配置されていれ

ば良い。同様に、スイッチ106は、基本電流源108に流れる電流を制御するため、それと直列に配置されていれば良い。また、スイッチ103は、切り替えトランジスタ102に流れる電流を制御するため、それと並列に配置されれば良い。スイッチ105は、容量素子104の電荷を制御できるように配置され  
5 ていればよい。

そこで、スイッチ105の配置を変更した場合の例を、図4に示す。つまり、設定動作の時には、図8のように接続され、基本電流源108から流れる電流 $I_b$ が電流源トランジスタ101に流れ、切り替えトランジスタ102は短絡動作をしており、出力動作の時には、図9のように接続され、切り替えトランジスタ  
10 102は電流源動作をしており、切り替えトランジスタ102と電流源トランジスタ101に流れる電流は、負荷109の方に流れる、というようになってしまえば、103、105、106、107などのようなスイッチは、どこに配置してもよい。

次に、スイッチ103の接続を変更した場合の例を図10に示す。スイッチ103は、配線1002に接続される。配線1002の電位はVddでもよいし、別の値でも  
15 よい。また、図10の場合、スイッチ1001を追加してもよいし、追加しなくてよい。スイッチ1001は、切り替えトランジスタ102のソース端子側に配置しても良いし、ドレイン端子側に配置しても良い。スイッチ1001は、スイッチ103と逆の状態でオンオフすればよい。このように、様々な場所にスイッチを配置することにより回路を構成することができる。

20 次に、電流源トランジスタ101と切り替えトランジスタ102の配置を入れ替えた場合について、図11に示す。図1では、配線110、切り替えトランジスタ102、電流源トランジスタ101の順に配置されていたが、図11では、配線110、

電流源トランジスタ101、切り替えトランジスタ102の順に配置されている。

ここで、図1の回路と、図11の回路の違いについて考える。図1では、切り替えトランジスタ102が短絡動作のとき、切り替えトランジスタ102のゲート端子とソース端子（ドレイン端子）の間に、電位差が生じる。したがって、

- 5 切り替えトランジスタ102のチャネル領域には、電荷が存在するので、そのゲート容量には、電荷が保存される。そして、電流源動作の時にも、ゲート容量に電荷が保存されたままになる。よって、短絡動作（設定動作）の時と、電流源動作（出力動作）の時とで、電流源トランジスタ101のゲート端子の電位は、ほとんど変化しない。

- 10 一方、図11では、切り替えトランジスタ102が短絡動作のとき、切り替えトランジスタ102のゲート端子とソース端子（ドレイン端子）の間に、電位差がほとんど生じない。したがって、切り替えトランジスタ102のチャネル領域には電荷はほとんど存在せず、そのゲート容量には、電荷が保存されない。そして、電流源動作の時には、スイッチ105、103がオフになるため、切り替えトランジスタ102のゲート容量に電荷がたまり、切り替えトランジスタ102が電流源の一部として動作する。このときの電荷は、容量素子104や電流源トランジスタ101のゲート容量に蓄積されていたものである。その電荷が、切り替えトランジスタ102のゲート部に移動することになる。よって、短絡動作（設定動作）の時と、電流源動作（出力動作）の時とで、電流源トランジスタ101のゲート端子の電位は、移動した電荷分だけ、変化する。その結果、出力動作の時に、電流源トランジスタ101と切り替えトランジスタ102のゲート・ソース間電圧の絶対値は小さくなり、負荷109に流れる電流も

小さくなる。

よって、電流源トランジスタ101と切り替えトランジスタ102の配置をどのようにするかは、状況によって設計すればよい。例えば、負荷109がEL素子の場合、黒表示をしたいときに、わずかでも光ってしまうと、コントラストを低下させてしまう。そのような場合、図11のような構成にすることにより、電流がわずかに小さくなるため、より好適である。

次に、図1では、電流源トランジスタ101と切り替えトランジスタ102は、1つづつ配置されていたが、どちらか、あるいは、両方とも、複数個を配置してもよい。また、その並べ方も、任意に選択してもよい。図12には、第2の切り替えトランジスタ1201とスイッチ1202を配置した場合の例を示す。

なお、電流源トランジスタ101と切り替えトランジスタ102は、図1では、どちらもPチャネル型であるが、これに限定されない。図1の回路に関して、電流源トランジスタ101と切り替えトランジスタ102の極性（導電型）を変更して、回路の接続構造を変更ない場合の例を、図13に示す。図1と図13を比較すると分かるように、図1の配線112、113、110、111の電位を、配線1312、1313、1310、1311のように変更し、基本電流源108の電流の向きを変更すれば、容易に変更できる。電流源トランジスタ1301、切り替えトランジスタ1302、スイッチ1303、1305、1306、1307、基本電流源1308、負荷1309などの接続は、変更されていない。なお、配線1310と配線1311は別々の配線で構成されているが、電気的に接続されていてもよい。なお、配線1312と配線1313は別々の配線で構成されているが、電気的に接続されていてもよい。

また、電流の向きを変更せずに、回路の接続構造を変更することにより、

図1の回路に関して、電流源トランジスタ101と切り替えトランジスタ102の極性（導電型）を変更した場合の例を図14に示す。この場合は、電流源トランジスタ101と切り替えトランジスタ102において、ソース端子とドレイン端子とが逆になる。そのため、それに合わせて容量素子1404とスイッチ1405の接続を変更すればよい。

常に電流源（または、その一部）として動作する電流源トランジスタ1401と、状態によって、動作が異なる切り替えトランジスタ1402があり、電流源トランジスタ1401と切り替えトランジスタ1402と配線110とは、直列に接続されている。電流源トランジスタ1401のゲート端子には、容量素子1404の一方の端子が接続されている。容量素子1404の他方の端子1406は、切り替えトランジスタ1402（電流源トランジスタ1401）のソース端子に接続されている。そのため、電流源トランジスタ1401のゲート・ソース間電圧を保持することが出来る。また、電流源トランジスタ1401のゲート端子とドレイン端子とは、スイッチ1405を介して接続されており、スイッチ1405のオンオフによって、容量素子1404の電荷の保持を制御できる。

そこで、図14の動作について述べる。ただし、図1の動作と同様であるため、簡単に説明する。まず、図15に示すように、スイッチ1403、1405、106をオンにし、スイッチ107をオフにする。その時の電流の経路を破線矢印1501で示す。そして、定常状態になると、容量素子1404には、電流が流れなくなる。そしてそのとき、電流源トランジスタ1401のゲート・ソース間電圧が容量素子1404に蓄積される。つまり、電流源トランジスタ1401のソース・ドレン間に電流 $I_b$ を流すのに必要な電圧が、ゲート・ソース間に加わるように

なる。以上の動作は、設定動作に相当する。そしてその時、切り替えトランジスタ1402は、短絡動作を行っていることになる。

次に、図16に示すように、スイッチ1403、1405、106をオフにし、スイッチ107をオンにする。その時の電流の経路を破線矢印1601で示す。すると、

- 5 電流源トランジスタ1401と切り替えトランジスタ1402は、マルチゲートのトランジスタとして動作することになる。したがって、負荷109の方に電流が流れ、その大きさは、 $I_b$ よりも小さくなる。以上の動作は、出力動作に相当する。そしてその時、切り替えトランジスタ1402は、電流源動作を行っていることになる。

- 10 なお、容量素子1404の端子1406の電位は、設定動作の時と、出力動作の時とで、異なる場合が多い。しかし、容量素子1404の両端の電圧（電位差）は変化しないため、負荷109には、所望の電流が流れる。

- なお、この場合も、設定動作の時には、図21のように接続され、出力動作の時には、図22のように接続される、というようになっていれば、スイッチ  
15 は、どこに配置してもよいことは、もちろんである。

なお、図14には、図1に対応させた回路を示したが、図23には、図11に対応させた回路を示す。図23では、短絡動作のとき、切り替えトランジスタ1402のゲート容量に、電荷が蓄積されない、という特徴がある。

- なお、これまででは、切り替えトランジスタ102、1402は、設定動作のとき  
20 に短絡動作をして、出力動作のときには電流源動作をしていた。しかし、これに限定されない。例えば、図24において電流の経路を破線矢印2401で示すが、設定動作のときに電流源動作をしてもよい。また、図25において電流の

経路を波線矢印2501で示すが、短絡動作のときには電流源動作をしてよい。この場合は、出力動作の時の方が、電流が大きい。したがって、信号を増幅していることになり、さまざまなアナログ回路に適用することが出来る。

- 5 このように、図1の回路だけでなく、スイッチの配置や数、各トランジスタの極性、電流源トランジスタの数や配置、切り替えトランジスタの数や配置、各配線の電位、電流の流れる向きなどを変更することにより、様々な回路を用いて、本発明を構成することができ、各々の変更を組み合わせることにより、さらに様々な回路を用いて本発明を構成することが出来る。

#### 10 (実施の形態2)

実施の形態1では、切り替えトランジスタ102に関して、電流源動作や短絡動作を実現するために、図1の構成を用いた。そこで、本実施の形態では、実施の形態1とは異なる構成で、電流源動作や短絡動作を実現する構成の一例を示す。

- 15 なお、実施の形態1と同様の内容が多いため、そのような部分については、説明は省略する。

まず、図26に、切り替えトランジスタ102に関して、電流源動作や短絡動作を実現した第2の構成について示す。

- 20 図1では、切り替えトランジスタ102が短絡動作できるようにするために、スイッチ103を用いていた。このスイッチ103を制御することにより、切り替えトランジスタ102のソース・ドレイン間に電流が流れず、切り替えトランジスタ102のソース端子とドレイン端子とを概ね同じ電位にしていた。

それに対して、図26では、切り替えトランジスタ102のゲート端子の電圧を制御して、切り替えトランジスタ102に多くの電流が流すことができるようになる。具体的には、スイッチ2601を用いることにより、切り替えトランジスタ102のゲート・ソース間電圧の絶対値を大きくする。その結果、ある5 値の電流が流れる場合、切り替えトランジスタ102のソース・ドレイン間電圧が小さくてすむようになる。つまり、切り替えトランジスタ102は、スイッチとして動作するようになる。

そして、電流源動作の場合は、図1では、スイッチ103をオフにして、電流源トランジスタ101と切り替えトランジスタ102は、ゲート端子が互いに接続10 されていることにより、マルチゲートのトランジスタとして動作した。

それに対し、図26では、電流源トランジスタ101と切り替えトランジスタ102は、ゲート端子が互いに接続されていないため、スイッチ2602を用いることにより、接続されるようになる。その結果、マルチゲートのトランジスタとして動作できるようになる。

15 そこで、図26の動作について述べる。まず、図27に示すように、スイッチ2601、105、106をオンにし、スイッチ107、2602をオフにする。その時の電流の経路を破線矢印2701で示す。すると、切り替えトランジスタ102のゲート端子は、配線2603に接続される。配線2603には、低電位側電源( $V_{ss}$ )が供給されているため、切り替えトランジスタ102のゲート・ソース間電圧の絶20 対値は、非常に大きくなる。よって、切り替えトランジスタ102は、非常に大きな電流駆動能力をもつことになるので、切り替えトランジスタ102のソース端子とドレイン端子とは、概ね同じ電位となる。そのため、基本電流源

- 108に流れる電流 $I_b$ が、容量素子104や電流源トランジスタ101に流れ、電流源トランジスタ101のソース端子は、配線110と概ね同じ電位になる。そして、電流源トランジスタ101のソース・ドレイン間に流れる電流と、基本電流源108に流れる電流 $I_b$ とが等しくなると、容量素子104には、電流が流れなくなる。つまり、定常状態になる。そしてそのときのゲート端子の電位が、容量素子104に蓄積される。つまり、電流源トランジスタ101のソース・ドレイン間に電流 $I_b$ を流すのに必要な電圧が、ゲート端子に加わるようになる。以上の動作は、設定動作に相当する。そしてその時、切り替えトランジスタ102は、スイッチとして動作し、短絡動作を行っていることになる。
- 10 次に、図28に示すように、スイッチ2601、105、106をオフにし、スイッチ107、2602をオンにする。その時の電流の経路を破線矢印2801で示す。すると、切り替えトランジスタ102のゲート端子と電流源トランジスタ101のゲート端子は、互いに接続される。一方、容量素子104には、設定動作において蓄積した電荷が保存されており、それが、電流源トランジスタ101と切り替えトランジスタ102のゲート端子に、加わることになる。以上のことから、電流源トランジスタ101と切り替えトランジスタ102は、マルチゲートのトランジスタとして動作することになる。したがって、電流源トランジスタ101と切り替えトランジスタ102を1つのトランジスタであると考えると、そのトランジスタのゲート長Lは、電流源トランジスタ101のLよりも大きくなる。したがって、負荷109の方に流れる電流は、 $I_b$ よりも小さくなる。以上の動作は、出力動作に相当する。そしてその時、切り替えトランジスタ102は、電流源動作を行っていることになる。

なお、配線2603の電位は、Vssに限定されない。切り替えトランジスタ102が十分にオン状態になるような値であればよい。

なお、本実施の形態の回路として、図26に示したが、構成はこれに限定されない。実施の形態1と同様、スイッチの配置や数、各トランジスタの極性  
5 、電流源トランジスタ101の数や配置、切り替えトランジスタ102の数や配置  
、各配線の電位、電流の流れる向きなどを変更することにより、様々な回路  
を用いて構成することが出来る。また、各々の変更を組み合わせることによ  
り、様々な回路を用いて構成することが出来る。

例えば、設定動作の時には、図29のように接続され、出力動作の時には、  
10 図30のように接続される、というようになっていれば、各スイッチは、どこ  
に配置してもよい。

また、電流源トランジスタ101と切り替えトランジスタ102の配置を入れ替  
えた場合について、図31に示す。図31では、配線110、電流源トランジスタ  
101、切り替えトランジスタ102の順に配置されている。  
15 また、図26の回路に関して、電流源トランジスタ101と切り替えトランジ  
スタ102の極性（導電型）を変更して、回路の接続構造を変更ない場合の例  
を、図32に示す。図26と図32を比較すると分かるように、図26の配線112、  
113、110、111、2603の電位を、配線3212、3213、3210、3211、3223のよう  
に変更し、基本電流源108の電流の向きを変更すれば、容易に変更できる。  
20 電流源トランジスタ3201、切り替えトランジスタ3202、スイッチ3221、3222  
、3205、3206、3207、基本電流源3208、負荷3209などの接続は、変更されて  
いない。なお、配線3210と配線3211は別々の配線で構成されているが、電気

的に接続されていてもよい。なお、配線3212と配線3213は別々の配線で構成されているが、電気的に接続されていてもよい。

また、電流の向きを変更せずに、回路の接続構造を変更することにより、図26の回路に関して、電流源トランジスタ101と切り替えトランジスタ102の  
5 極性（導電型）を変更した場合の例を図33に示す。

- 常に電流源（または、その一部）として動作する電流源トランジスタ1401と、状態によって、動作が異なる切り替えトランジスタ1402があり、電流源トランジスタ1401と切り替えトランジスタ1402と配線110とは、直列に接続されている。電流源トランジスタ1401のゲート端子には、容量素子1404の  
10 一方の端子が接続されている。容量素子1404の他方の端子1406は、切り替えトランジスタ1402（電流源トランジスタ1401）のソース端子に接続されている。そのため、電流源トランジスタ1401のゲート・ソース間電圧を保持することが出来る。また、電流源トランジスタ1401のゲート端子とドレイン端子とは、スイッチ1405を介して接続されており、スイッチ1405のオンオフによ  
15 って、容量素子1404の電荷の保持を制御できる。また、切り替えトランジスタ1401のゲート端子と配線3303はスイッチ3301を介して接続されており、スイッチの3301のオンオフによって切り替えトランジスタ1402を制御する。また、電流源トランジスタ1401のゲート端子と切り替えトランジスタ1402のゲート端子は、スイッチ3302を介して接続される。  
20 なお、この場合も、設定動作の時には、図34のように接続され、出力動作の時には、図35のように接続されるように動作させる。よって、そのようになっていれば、スイッチは、どこに配置してもよい。

なお、配線3303には、Vddよりも高いVdd2が供給されている。これに限定されないが、切り替えトランジスタ1402が短絡動作の時に、より電流駆動能力が大きくなるようにするため、出来るだけ高い電位を供給するほうがよい。

- 5 このように、図26の回路だけでなく、スイッチの配置や数、各トランジスタの極性、電流源トランジスタの数や配置、切り替えトランジスタの数や配置、各配線の電位、電流の流れる向きなどを変更することにより、様々な回路を用いて、本発明を構成することができ、各々の変更を組み合わせることにより、さらに様々な回路を用いて本発明を構成することが出来る。
- 10 本実施の形態で説明した内容は、実施の形態1で説明した内容の一部を変更したものに相当する。したがって、実施の形態1で説明した内容は、本実施の形態にも適用できる。

### (実施の形態3)

- 15 本実施の形態では、実施の形態1、2で説明した回路を、一部変更した場合について述べる。
- ここでは、簡単のため、図1の回路を一部変更した場合について述べる。よって、実施の形態1と同様の内容が多いため、そのような部分については、説明は省略する。ただし、実施の形態1、2で説明した様々な回路にも、
- 20 適用することが出来る。

まず、図1の構成を一部変更したものを、図36に示す。異なるのは、図1のスイッチ107が、図36のマルチトランジスタ3601に変更されている点である。

マルチトランジスタ3601は、電流源トランジスタ101や切り替えトランジスタ102と同じ極性（導電型）のトランジスタである。そして、マルチトランジスタ3601のゲート端子は、電流源トランジスタ101のゲート端子と接続されている。マルチトランジスタ3601は、状況によって、動作が切り替わる。

- 5 つまり、設定動作の時には、スイッチとして動作し、出力動作の時には、電流源トランジスタ101や切り替えトランジスタ102とともに、マルチゲートのトランジスタの一部として、電流源として動作する。

次に、図36の回路の動作について説明する。まず、図37に示すように、スイッチ103、105、106をオンにする。すると、基本電流源108に流れる電流 $I_b$ が、容量素子104や電流源トランジスタ101に流れる。その時の電流の経路を破線矢印3701で示す。このとき、マルチトランジスタ3601のゲート端子とソース端子は、概ね同じ電位となる。つまり、マルチトランジスタ3601のゲート・ソース間電圧は、概ね0Vとなる。したがって、マルチトランジスタ3601はオフする。そして、定常状態になって、電流源トランジスタ101のソース・ドレイン間に流れる電流と、基本電流源108に流れる電流 $I_b$ とが等しくなり、容量素子104には、電流が流れなくなる。以上の動作は、設定動作に相当する。そしてその時、マルチトランジスタ3601は、オフ状態のスイッチとして動作していることになる。

次に、図38に示すように、スイッチ103、105、106をオフにする。そして、20 容量素子104には、設定動作において蓄積した電荷が保存されており、それが、電流源トランジスタ101と切り替えトランジスタ102とマルチトランジスタ3601のゲート端子に、加わる。そして、電流源トランジスタ101と切り替

えトランジスタ102とマルチトランジスタ3601のゲート端子は、互いに接続されている。その時の電流の経路を破線矢印3801で示す。以上のことから、電流源トランジスタ101と切り替えトランジスタ102とマルチトランジスタ3601は、マルチゲートのトランジスタとして動作することになる。したがって、電流源トランジスタ101と切り替えトランジスタ102とマルチトランジスタ3601を1つのトランジスタであると考えると、そのトランジスタのゲート長しは、電流源トランジスタ101のLよりも大きくなる。したがって、負荷109の方に流れる電流は、 $I_b$ よりも小さくなる。つまり、負荷109の方に流れる電流は、図1の場合よりも小さくなる。以上の動作は、出力動作に相当する。そしてその時、マルチトランジスタ3601は、マルチゲートのトランジスタの一部として動作していることになる。

このように、図1のスイッチ107を、図36のマルチトランジスタ3601に変更し、マルチトランジスタ3601のゲート端子を電流源トランジスタ101のゲート端子と接続することにより、電流の制御を自動的に行うことができ、また15、負荷109の方に流れる電流を小さくすることが出来る。図1の場合は、負荷109の方に、出力動作のときに電流を流し、設定動作の時には流さない、という動作を切り替えるため、スイッチ107を制御するための配線が必要になるが、図36の場合は、自動的に行えるため、制御するための配線を省略することができる。

20 なお、出力動作の時に、電流源トランジスタ101と切り替えトランジスタ102とマルチトランジスタ3601とは、マルチゲートのトランジスタとして動作するため、これらのトランジスタは同極性（同じ導電型を有する）とする

ことが望ましい。

なお、出力動作の時に、電流源トランジスタ101と切り替えトランジスタ102とマルチトランジスタ3601とは、マルチゲートのトランジスタとして動作するが、各々のトランジスタのゲート幅Wは、同じであってもよいし、異なる5なっていても良い。同様に、ゲート長Lも、同じであってもよいし、異なつていても良い。ただし、ゲート幅Wは、通常のマルチゲートのトランジスタと同じだと考えてもよいため、同じ大きさであることが望ましい。ゲート長Lは、切り替えトランジスタ102やマルチトランジスタ3601の方を大きくすれば、負荷109に流れる電流が、より小さくなる。よって、その状況に合わせ10せて、設計すればよい。

なお、本実施の形態の回路として、図36に示したが、構成はこれに限定されない。スイッチの配置や数、各トランジスタの極性、電流源トランジスタ101の数や配置、切り替えトランジスタ102の数や配置、マルチトランジスタ3601の数や配置、各配線の電位、電流の流れる向きなどを変更することにより、様々な回路を用いて構成することが出来る。また、各々の変更を組み合15わせることにより、様々な回路を用いて構成することが出来る。

例えば、103、105、106などのようなスイッチは、対象とする電流のオンオフを制御できるなら、どこに配置しても良い。つまり、設定動作の時には、図39のように接続され、出力動作の時には、図40のように接続される、と20いうようになっていれば、103、105、106などのようなスイッチは、どこに配置してもよい。

なお、本実施の形態で説明した内容は、実施の形態1で説明した内容の一

部を変更したものに相当する。したがって、本実施の形態で説明した内容は、実施の形態1、2にも適用できる。

(実施の形態4)

5 本実施の形態では、表示装置、および、信号線駆動回路などの構成とその動作について、説明する。信号線駆動回路の一部や画素に、本発明の回路を適用することができる。

表示装置は、図41に示すように、画素配列4101、ゲート線駆動回路4102、信号線駆動回路4110を有している。ゲート線駆動回路4102は、画素配列4101 10 に選択信号を順次出力する。信号線駆動回路4110は、画素配列4101にビデオ信号を順次出力する。画素配列4101では、ビデオ信号に従って、光の状態を制御することにより、画像を表示する。信号線駆動回路4110から画素配列4101へ入力するビデオ信号は、電流である。つまり、各画素に配置された表示素子や表示素子を制御する素子は、信号線駆動回路4110から入力されるビ 15 デオ信号（電流）によって、状態を変化させる。画素に配置する表示素子の例としては、EL素子やFED（フィールドエミッショントransistor）で用いる素子などがあげられる。

なお、ゲート線駆動回路4102や信号線駆動回路4110は、複数配置されてもよい。

20 信号線駆動回路4110は、構成を複数の部分に分けられる。大まかには、一例として、シフトレジスタ4103、第1ラッチ回路（LAT1）4104、第2ラッチ回路（LAT2）4105、デジタル・アナログ変換回路4106に分けられる。デジタ

ル・アナログ変換回路4106には、電圧を電流に変換する機能も有しており、  
ガンマ補正を行う機能も有していてもよい。つまり、デジタル・アナログ変  
換回路4106には、画素に電流（ビデオ信号）を出力する回路、すなわち、電  
流源回路を有しており、そこに本発明を適用することが出来る。

- 5 また、画素は、EL素子などの表示素子を有している。その表示素子に電  
流（ビデオ信号）を出力する回路、すなわち、電流源回路を有しており、そ  
こにも、本発明を適用することが出来る。

- そこで、信号線駆動回路4110の動作を簡単に説明する。シフトレジスタ  
4103は、フリップフロップ回路（FF）等を複数列用いて構成され、クロック  
10 信号（S-CLK）、スタートパルス（SP）、クロック反転信号（S-CLKb）が入力さ  
れる、これらの信号のタイミングに従って、順次サンプリングパルスが出力  
される。

- シフトレジスタ4103より出力されたサンプリングパルスは、第1ラッチ回  
路（LAT1）4104に入力される。第1ラッチ回路（LAT1）4104には、ビデオ信  
号線4108より、ビデオ信号が入力されており、サンプリングパルスが入力さ  
れるタイミングに従って、各列でビデオ信号を保持していく。なお、デジタ  
ル・アナログ変換回路4106を配置している場合は、ビデオ信号はデジタル値  
である。また、この段階でのビデオ信号は、電圧であることが多い。

- ただし、第1ラッチ回路4104や第2ラッチ回路4105が、アナログ値を保存  
20 できる回路である場合は、デジタル・アナログ変換回路4106は省略できる場  
合が多い。その場合、ビデオ信号は、電流であることも多い。また、画素配  
列4101に出力するデータが2値、つまり、デジタル値である場合は、デジタ

ル・アナログ変換回路4106は省略できる場合が多い。

第1ラッチ回路（LAT1）4104において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、ラッチ制御線4109よりラッチパルス（Latch Pulse）が入力され、第1ラッチ回路（LAT1）4104に保持されていたビデオ信号は、一斉に第2ラッチ回路（LAT2）4105に転送される。その後、第2ラッチ回路（LAT2）4105に保持されたビデオ信号は、1行分が同時に、デジタル・アナログ変換回路4106へと入力される。そして、デジタル・アナログ変換回路4106から出力される信号は、画素配列4101へ入力される。

第2ラッチ回路（LAT2）4105に保持されたビデオ信号がデジタル・アナログ変換回路4106に入力され、そして、画素4101に入力されている間、シフトレジスタ4103においては再びサンプリングパルスが出力される。つまり、同時に2つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。

なお、デジタル・アナログ変換回路4106が有している電流源回路が、設定動作と出力動作とを行うような回路である場合、その電流源回路に、電流を流す回路が必要となる。そのような場合、リファレンス用電流源回路4114が配置されている。

なお、信号線駆動回路やその一部は、画素配列4101と同一基板上に存在せず、例えば、外付けのICチップを用いて構成されることもある。その場合、20 ICチップと基板にはCOG（C h i p O n G l a s s）やTAB（Tape A u t o B o n d i n g）やプリント基板などを用いて接続される。

なお、信号線駆動回路などの構成は、図41に限定されない。

例えば、第1ラッチ回路4104や第2ラッチ回路4105が、アナログ値を保存できる回路である場合、図42に示すように、リファレンス用電流源回路4114から第1ラッチ回路(LAT1)4104に、ビデオ信号(アナログ電流)が入力されることがある。また、図42において、第2ラッチ回路4105が存在しない場合もある。

#### (実施の形態5)

次に、実施の形態4において説明した信号線駆動回路4110の具体的な構成に

10. ついて説明する。

まず、信号線駆動回路に適用した場合の例を図43に示す。電流源回路4301は、配線4302、4303、4304、4305によって、設定動作と出力動作、および、短絡動作と電流源動作とを切り替えている。基本電流源1308から、設定動作の時に電流が入力される。そして、出力動作のときに、電流源回路4301から負荷1309の方に電流を出力する。

そこでまず、図41の場合について、説明する。リファレンス用電流源回路4114における電流源は、図43における基本電流源1308に相当する。そして、図43における負荷1309は、スイッチや、信号線4902や信号線4902に接続された画素に相当する。基本電流源1308からは、一定の電流が出力されている。

20. なお、図43の構成の場合、設定動作を行いながら、同時に出力動作を行うことができない。したがって、同時に行いたい場合には、電流源回路を2つ以上配置して、それらを切り替えて用いればよい。つまり、一方の電流源回

路に対して設定動作を行い、同時に他方の電流源回路で出力動作を行う。そして、それを任意の周期ごとに切り替える。これにより、設定動作と出力動作とを同時に行うことができる。

さらに、画素にビデオ信号としてアナログ電流を出力する場合は、デジタル値をアナログ値に変換する必要があるため、図44に示すような構成となる。なお、図44では、簡単のため、3ビットの場合について説明する。すなわち、基本電流源1308A、1308B、1308Cがあり、その電流の大きさは、 $I_c$ 、 $2*I_c$ 、 $4*I_c$ というようになっている。そして、電流源回路4301A、4301B、4301Cが各々接続されている。したがって、出力動作の時には、電流源回路4301A、4301B、4301Cは、 $I_c$ 、 $2*I_c$ 、 $4*I_c$ の大きさの電流を出力することになる。そして、各電流源回路と直列に、スイッチ4401A、4401B、4401Cが接続されている。このスイッチは、第2ラッチ回路(LAT2)4105から出力されるビデオ信号によって制御される。そして、各電流源回路とスイッチから出力される電流の合計が、負荷1309、すなわち、信号線4902に出力される。以上のように動作させることにより、画素にビデオ信号としてアナログ電流を出力している。

なお、図44では、簡単のため、3ビットの場合について説明したが、これに限定されない。同様に構成すれば、ビット数を容易に変更して構成することが出来る。なお、図44の構成の場合においても、電流源回路を並列に配置して、切り替えて動作させることにより、設定動作を行いながら、同時に出力動作を行うことができる。

なお、電流源回路に対して設定動作を行う場合、そのタイミングを制御す

る必要がある。その場合、設定動作を制御するために、専用の駆動回路（シフトレジスタなど）を配置してもよい。あるいは、LAT1回路を制御するためのシフトレジスタから出力される信号を用いて、電流源回路への設定動作を制御してもよい。つまり、一つのシフトレジスタで、LAT1回路と電流源回路とを両方制御するようにしてよい。その場合は、LAT1回路を制御するためのシフトレジスタから出力される信号を直接、電流源回路に入力してもよいし、LAT1回路への制御と電流源回路への制御を切り分けるため、その切り分けを制御する回路を介して、電流源回路を制御してもよい。あるいは、LAT2回路から出力される信号を用いて、電流源回路への設定動作を制御してもよい。LAT2回路から出力される信号は、通常、ビデオ信号であるため、ビデオ信号として使用する場合と電流源回路を制御する場合とを切り分けるため、その切り替えを制御する回路を介して、電流源回路を制御すればよい。このように、設定動作や出力動作を制御するための回路構成や、回路の動作等については、国際公開第03/038793号パンフレット、国際公開第03/038794号パンフレット、国際公開第03/038795号パンフレット、に記載されており、その内容を本発明に適用することが出来る。

次に、図42の場合について、説明する。リファレンス用電流源回路4114における電流源は、図43における基本電流源1308に相当する。そして、図43における負荷1309は、第2ラッチ回路（LAT2）4105に配置されている電流源回路に相当する。この場合は、リファレンス用電流源回路4114における電流源からは、ビデオ信号が電流で出力される。なお、その電流は、デジタル値の

場合も、アナログ値の場合もある。

なお、各ビットに対応したデジタルビデオ信号（電流値）を第1ラッチ回路4104に入力してもよい。なお、その後、各ビットに対応したデジタルビデオ信号電流を足し合わせることによって、デジタル値からアナログ値に変換することができる。その場合、桁数の小さなビットの信号を入力する場合に、本発明を適用することは、より好適である。なぜなら、桁数の小さなビットの信号の場合、信号の電流値が小さくなってしまう。そこで、本発明を適用すれば、信号の電流値を大きくすることができる。そのため、信号の書き込み速度が向上する。なお、図42において、第2ラッチ回路4105が存在しない場合については、第1ラッチ回路4104において、電流源回路が並列に2つ以上配置して、それらを切り替えて用いてもよい。これにより、設定動作と出力動作を同時に行うことができ、その結果、第2ラッチ回路4105を省くことが可能となる。このような回路の構成や動作については、国際公開第03/038796号パンフレット、国際公開第03/038797号パンフレット、に記載されており、その内容を本発明に適用することが出来る。

また、第1ラッチ回路4104に配置されている電流源回路が、図43における基本電流源1308に相当し、第2ラッチ回路4105に配置されている電流源回路が、図43における負荷1309に相当すると考えることもできる。

またさらに、図41、42に示したリファレンス用電流源回路4114に対して、適用してもよい。つまり、リファレンス用電流源回路4114が図43における負荷1309に相当し、さらに別の電流源が、図43における基本電流源1308に相当

すると考えることもできる。

また、画素が図43における負荷1309に相当し、信号線駆動回路4110における、画素に電流を出力する電流源回路が、図43における基本電流源1308に相当すると考えることもできる。

5 また、図24、25に示したように、設定動作の時よりも、出力動作の時の方が電流が大きくなるように動作させる場合は、信号を増幅していることになるので、さまざまなアナログ回路に適用することが出来る。

このように、様々な部分に、本発明を適用することが出来る。

なお、図43において、電流源回路4301の構成として、図13の構成を用いた  
10 が、これに限定されない。本発明における様々な構成を用いることが出来る

なお、本実施の形態で説明した内容は、実施の形態1～4で説明した内容を利用したものに相当する。したがって、実施の形態1～4で説明した内容は、本実施の形態にも適用できる。

15

#### (実施の形態6)

本実施の形態では、画素配列41に配列状に配置されている画素の具体的な構成について説明する。

まず、図1で示した構成を画素に適用した場合について、図45に示す。図1  
20 における負荷109は、図45におけるEL素子4501に相当する。図45における基本電流源108は、図41の場合は、デジタル・アナログ変換回路4106に配置されている電流源回路に相当し、図42の場合は、第2ラッチ回路4105に配置

されている電流源回路に相当する。

ゲート線4503～4506を用いて、各スイッチ（図45ではトランジスタ）のオンオフを制御する。なお、詳しい動作については、図1と同様であるので、省略する。

5 また、図4で示した構成を画素に適用した場合について、図46に示す。同様に、図36で示した構成を画素に適用した場合について、図47に示す。

なお、画素に適用する構成として、図45～図47で示した構成に限定されない。実施の形態1～3で説明した様々な構成を用いて、画素を構成することが出来る。

10 例えば、図45～図47におけるトランジスタの極性（導電型）は、これに限定されない。特に、スイッチとして動作させる場合は、接続関係を変更せずに、トランジスタの極性（導電型）を変更することが出来る。

また、図45～図47において、電源線4901から配線113の方に向かって電流が流れているが、これに限定されない。電源線4901と配線113の電位を制御することにより、配線113から電源線4901の方に向かって電流が流れてもよい。ただし、その場合は、EL素子4501の向きを反対にする必要がある。なぜなら、通常は、EL素子4501は、陽極から陰極の方に電流が流れるためである。

なお、EL素子は、陽極側から光が出ても、陰極側から光が出ても、どちらでも良い。

なお、図45～図47において、ゲート線4503～4506や電源線4901を用いて接続しているが、限定されない。

例えば、図45の回路に対して、図48や図49のように、ゲート線の数を削減することが可能である。そのためには、各スイッチのオンオフとトランジスタの極性（導電型）を考慮することにより、実現できる。

また、図45～図47において、容量素子104は、電源線4901に接続されている  
5 が、別の配線、例えば、別の画素のゲート線などに接続してもよい。

また、図45～図47において、電源線4901が配置されているが、それを削除し、別の画素のゲート線などで代用してもよい。

このように、画素は、様々な構成を用いることが出来る。

なお、これらの画素を用いて画像を表示する場合、様々な手法を用いて、  
10 階調を表現することが出来る。

例えば、信号線4902から画素へ、アナログのビデオ信号（アナログ電流）  
を入力し、そのビデオ信号に応じた電流を表示素子に流して、階調を表現で  
きる。あるいは、信号線4902から画素へ、デジタルのビデオ信号（デジタル  
電流）を入力し、そのビデオ信号に応じた電流を表示素子に流して、2階調  
15 を表現できる。ただしこの場合、時間階調方式や面積階調方式などを組み合  
わせて、多階調化を図ることが多い。

なお、強制的に発光しないようにする場合は、表示素子に電流が流れないと  
いうにすればよい。よって、例えば、トランジスタ107やトランジスタ3601  
がオフ状態になるようにすればよい。あるいは、容量素子104の電荷の状態  
20 を制御することにより、結果として、表示素子に電流が流れないようにして  
もよい。それを実現するため、スイッチなどを追加してもよい。

なお、ここでは特に時間階調方式について詳細な説明は省略するが、特願

2001-5426号、特願2000-86968号等に記載されている方法によれば良い。

また、信号線5005から画素へ、デジタルのビデオ信号（デジタル電圧）を入力し、そのビデオ信号に応じて、電流を表示素子に流すかどうかを制御して、2階調を表現するような画素構成にしてもよい。よって、この場合も、時間階調方式や面積階調方式などを組み合わせて、多階調化を図ることが多い。図50に、概略図を示す。ゲート線5006を制御して、スイッチ5004をオンオフして、信号線5005より、電圧（ビデオ信号）を容量素子5003に入力する。そして、その値によって、電流源回路5001と直列に配置されているスイッチ5002を制御して、EL素子4501に電流を流すかどうかを決定する。そして、電流源回路5001に対して、本発明を適用できる。つまり、基本電流源108から電流源回路5001の方に電流を流して、設定動作を行い、電流源回路5001から負荷であるEL素子4501の方に電流を流す。このようにすることにより、電流源回路5001はトランジスタの電流特性のばらつきの影響を低減して、一定の電流を出力することが可能となる。

また、別の電流源から基本電流源108に電流を流して、設定動作を行い、基本電流源108から負荷である電流源回路5001の方に電流を流してもよい。このようにすることにより、基本電流源108は、一定の電流を出力することが可能となる。

そこで、電流源回路4801として、図1に示す回路を適用した例を、図51に示す。

なお、図50で示した回路について、詳細な説明は省略するが、国際公開第

03/027997等に記載されている方法によれば良く、本発明と組み合わせることができる。なお、構成は、図51に示した回路に限定されない。本発明で説明した様々な構成を適用することが出来る。

なお、本実施の形態で説明した内容は、実施の形態1～5で説明した内容5を利用したものに相当する。したがって、実施の形態1～5で説明した内容は、本実施の形態にも適用できる。

#### (実施の形態7)

本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パソコン、携帯コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し15、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図52に示す。

図52（A）は発光装置であり、筐体13001、支持台13002、表示部13003、スピーカー部13004、ビデオ入力端子13005等を含む。本発明は表示部13003を構成する電気回路に用いることができる。20また本発明により、図52（A）に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができます。なお、発光装置は、パソコン用、TV放送受信用

、広告表示用などの全ての情報表示用表示装置が含まれる。

図52（B）はデジタルスチルカメラであり、本体13101、表示部13102、受像部13103、操作キー13104、外部接続ポート13105、シャッター13106等を含む。本発明は、表示部13102を構成する電気回路に用いることができる。また本発明により、図52（B）に示すデジタルスチルカメラが完成される。

図52（C）はノート型パーソナルコンピュータであり、本体13201、筐体13202、表示部13203、キーボード13204、外部接続ポート13205、ポインティングマウス13206等を含む。本発明は、表示部13203を構成する電気回路に用いることができる。また本発明により、図52（C）に示す発光装置が完成される。

図52（D）はモバイルコンピュータであり、本体13301、表示部13302、スイッチ13303、操作キー13304、赤外線ポート13305等を含む。本発明は、表示部13302を構成する電気回路に用いることができる。また本発明により、図52（D）に示すモバイルコンピュータが完成される。

図52（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体13401、筐体13402、表示部A13403、表示部B13404、記録媒体（DVD等）読み込み部13405、操作キー13406、スピーカー部13407等を含む。表示部A13403は主として画像情報を表示し、表示部B13404は主として文字情報を表示するが、本発明は、表示部A、B13403、13404を構成する電気回

路に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図52（E）に示すDVD再生装置が完成される。

図52（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）で  
5 あり、本体13501、表示部13502、アーム部13503を含む。本発明は、表示部13502を構成する電気回路に用いることができる。また本発明により、図52（F）に示すゴーグル型ディスプレイが完成される。

図52（G）はビデオカメラであり、本体13601、表示部13602、筐体13603、外部接続ポート13604、リモコン受信部13605、  
10 受像部13606、バッテリー13607、音声入力部13608、操作キー13609等を含む。本発明は、表示部13602を構成する電気回路に用いることができる。また本発明により、図52（G）に示すビデオカメラが完成される。

図52（H）は携帯電話であり、本体13701、筐体13702、表示部13703、音声入力部13704、音声出力部13705、操作キー13706、外部接続ポート13707、アンテナ13708等を含む。本発明は、表示部13703を構成する電気回路に用いることができる。なお、表示部13703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図52（H）に示す携帯電話が完成される。

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクタ

ーに用いることも可能となる。

また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高い

5 ため、発光装置は動画表示に好ましい。

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成す

10 るように駆動することが望ましい。

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態1～6に示したいずれの構成の半導体装置を用いても良い。

## 請求の範囲

1. 第1のトランジスタと、第2のトランジスタと、スイッチとを有する半導体装置であって、

前記第1のトランジスタは、ゲート端子と第1の端子と第2の端子とを有し

前記第2のトランジスタは、ゲート端子と第1の端子と第2の端子とを有し

前記第1のトランジスタのゲート端子と、前記第1のトランジスタの第1の端子とは、前記スイッチを介して接続されており、

前記第1のトランジスタの第2の端子は、前記第2のトランジスタの第1の端子と接続されており、

前記第1のトランジスタのゲート端子は、前記第2のトランジスタのゲート端子と接続されており、

前記第1のトランジスタの第1の端子と前記第1のトランジスタの第2の端子との間を、短絡状態にする手段を有することを特徴とする半導体装置。

2. 第1のトランジスタと第2のトランジスタと第1のスイッチと第2のスイッチとを有する半導体装置であって、

前記第1のトランジスタは、ゲート端子と第1の端子と第2の端子とを有し

前記第2のトランジスタは、ゲート端子と第1の端子と第2の端子とを有し

前記第1のトランジスタのゲート端子と、前記第1のトランジスタの第1の端子とは、前記第1のスイッチを介して接続されており、

前記第1のトランジスタの第2の端子は、前記第2のトランジスタの第1の端子と接続されており、

前記第1のトランジスタのゲート端子は、前記第2のトランジスタのゲート端子と接続されており、

前記第1のトランジスタの第1の端子と前記第1のトランジスタの第2の端子とは、前記第2のスイッチを介して接続されていることを特徴とする半導体装置。

3. 請求項1または請求項2において、前記第1のトランジスタの第2の端子は、第3のトランジスタを介して前記第2のトランジスタの第1の端子と接続されていることを特徴とする半導体装置。

4. 請求項1または請求項2において、前記第2のトランジスタの第1の端子と前記第2のトランジスタの第2の端子との間を短絡状態にする手段を有することを特徴とする半導体装置。

5. 第1のトランジスタと、第2のトランジスタと、スイッチとを有する半導体装置であって、

前記第1のトランジスタは、ゲート端子と第1の端子と第2の端子とを有し

前記第2のトランジスタは、ゲート端子と第1の端子と第2の端子とを有し

前記第1のトランジスタのゲート端子と、前記第1のトランジスタの第1の

端子とは、前記スイッチを介して接続されており、

前記第1のトランジスタの第2の端子は、前記第2のトランジスタの第1の端子と接続されており、

前記第1のトランジスタのゲート端子は、前記第2のトランジスタのゲート端子と接続されており、

前記第2のトランジスタの第1の端子と前記第2のトランジスタの第2の端子との間を、短絡状態にする手段を有することを特徴とする半導体装置。

6. 第1のトランジスタと第2のトランジスタと第1のスイッチと第2のスイッチとを有する半導体装置であつて、

前記第1のトランジスタは、ゲート端子と第1の端子と第2の端子とを有し

前記第2のトランジスタは、ゲート端子と第1の端子と第2の端子とを有し

前記第1のトランジスタのゲート端子と、前記第1のトランジスタの第1の端子とは、前記第1のスイッチを介して接続されており、

前記第1のトランジスタの第2の端子は、前記第2のトランジスタの第1の端子と接続されており、

前記第1のトランジスタのゲート端子は、前記第2のトランジスタのゲート端子と接続されており、

前記第2のトランジスタの第1の端子と前記第2のトランジスタの第2の端子とは、前記第2のスイッチを介して接続されていることを特徴とする半導体装置。

7. 請求項 5 または請求項 6 において、前記第 1 のトランジスタの第 2 の端子は、第 3 のトランジスタを介して前記第 2 のトランジスタの第 1 の端子と接続されていることを特徴とする半導体装置。

8. 第 1 のトランジスタと第 2 のトランジスタと第 1 のスイッチと第 2 のスイッチと第 3 のスイッチと配線とを有する半導体装置であって、前記第 1 のトランジスタは、ゲート端子と第 1 の端子と第 2 の端子とを有し

前記第 2 のトランジスタは、ゲート端子と第 1 の端子と第 2 の端子とを有し

前記第 1 のトランジスタのゲート端子と、前記第 1 のトランジスタの第 1 の端子とは、前記第 1 のスイッチを介して接続されており、

前記第 1 のトランジスタの第 2 の端子は、前記第 2 のトランジスタの第 1 の端子と接続されており、

前記第 1 のトランジスタのゲート端子は、前記第 2 のトランジスタのゲート端子と第 2 のスイッチを介して接続されており、

前記第 2 のトランジスタのゲート端子は、前記配線と第 3 のスイッチを介して接続されていることを特徴とする半導体装置。

9. 第 1 のトランジスタと、第 2 のトランジスタと、スイッチとを有する半導体装置であって、

前記第 1 のトランジスタは、ゲート端子と第 1 の端子と第 2 の端子とを有し

前記第 2 のトランジスタは、ゲート端子と第 1 の端子と第 2 の端子とを有し

前記第1のトランジスタのゲート端子と、前記第1のトランジスタの第1の端子とは、前記スイッチを介して接続されており、

前記第1のトランジスタの第2の端子は、前記第2のトランジスタの第1の端子と接続されており、

前記第1のトランジスタのゲート端子は、前記第2のトランジスタのゲート端子と接続されており、

前記第1のトランジスタの第1の端子と前記第1のトランジスタの第2の端子との間、または、前記第2のトランジスタの第1の端子と前記第2のトランジスタの第2の端子との間の少なくともどちらか一方を、短絡状態にする手段を有することを特徴とする半導体装置。

10. 第1のトランジスタと、第2のトランジスタと、第1のスイッチと、第2のスイッチとを有する半導体装置であって、

前記第1のトランジスタは、ゲート端子と第1の端子と第2の端子とを有し

前記第2のトランジスタは、ゲート端子と第1の端子と第2の端子とを有し

前記第1のトランジスタのゲート端子と、前記第1のトランジスタの第1の端子とは、前記第1のスイッチを介して接続されており、

前記第1のトランジスタの第2の端子は、前記第2のトランジスタの第1の端子と接続されており、

前記第1のトランジスタのゲート端子は、前記第2のトランジスタのゲート

端子と接続されており、

前記第1のトランジスタの第1の端子と前記第1のトランジスタの第2の端子との間、または、前記第2のトランジスタの第1の端子と前記第2のトランジスタの第2の端子との間の少なくともどちらか一方で、前記第2のスイッチを有することを特徴とする半導体装置。

11. 請求項1、2、5、6、8、9または10のいずれか1項において、前記第1のトランジスタと前記第2のトランジスタとは、同じ導電型を有することを特徴とする半導体装置。

12. 請求項1、2、5、6、8、9または10のいずれか1項において、容量素子を有しており、前記第1のトランジスタのゲート端子と容量素子の一方の端子と接続されていることを特徴とする半導体装置。

13. 請求項12において、前記第1のトランジスタのゲート端子は、前記容量素子の一方の端子と接続されており、且つ前記容量素子の他方の端子が、前記第2のトランジスタの第2の端子と接続されていることを特徴とする半導体装置。

14. 請求項1、2、5、6、8、9または10のいずれか1項において、前記第1のトランジスタの第1の端子、または、前記第2のトランジスタの第2の端子は、電流源回路と接続されていることを特徴とする半導体装置。

15. 請求項1、2、5、6、8、9または10のいずれか1項において、前記第1のトランジスタの第1の端子、または、前記第2のトランジスタの第2の端子は、表示素子と接続されていることを特徴とする半導体装置。

16. 請求項15において、前記表示素子は、EL素子であることを特徴と

する半導体装置。

17. 請求項1、2、5、6、9、10または11のいずれか一項に記載の半導体装置を有することを特徴とする表示装置。
18. 請求項17に記載の表示装置を具備することを特徴とする電子機器。
19. 請求項1、2、5、6、9、10または11のいずれか一項に記載の半導体装置を有することを特徴とするデジタルスチルカメラ。
20. 請求項1、2、5、6、9、10または11のいずれか一項に記載の半導体装置を有することを特徴とするパーソナルコンピュータ。
21. 請求項1、2、5、6、9、10または11のいずれか一項に記載の半導体装置を有することを特徴とするビデオカメラ。
22. 請求項1、2、5、6、9、10または11のいずれか一項に記載の半導体装置を有することを特徴とする携帯電話。
23. 請求項1、2、5、6、9、10または11のいずれか一項に記載の半導体装置を有することを特徴とする記録媒体を備えた画像再生装置。

## 要約書

直列に接続された 2 つのトランジスタにおいて、設定動作（信号書き込み）の時には、そのうちの 1 つのトランジスタのソース・ドレイン間の電圧が非常に小さくなり、もう 1 つのトランジスタに対して、設定動作を行うようになる。そして、出力動作の時には、2 つのトランジスタがマルチゲートのトランジスタとして動作するため、出力動作の時の電流値を小さくできる。逆にいうと、設定動作の時の電流を大きくすることが出来る。したがって、配線などに寄生する交差容量や配線抵抗の影響を受けにくくして、すばやく、設定動作が行うことが出来る。また、設定動作と出力動作とで、同一のトランジスタを 1 つ用いるため、隣接間ばらつきの影響も小さくなる。